

## ④ 公開特許公報(A) 昭60-224282

⑤ Int.Cl.

H 01 L 31/04  
21/205

識別記号

庁内整理番号

7733-5F  
7739-5F

④ 公開 昭和60年(1985)11月8日

審査請求 有 発明の数 1 (全 5 頁)

⑥ 発明の名称 半導体装置の作製方法

⑦ 特 願 昭59-79622

⑧ 出 願 昭59(1984)4月20日

⑨ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号 株式会社半導体エ  
ネルギー研究所内⑩ 出 願 人 株式会社 半導体エネ 東京都世田谷区北烏山7丁目21番21号  
ルギー研究所

## 明 細 書

## 1. 発明の名称

半導体装置の作製方法

## 2. 特許請求の範囲

1. 基板または基板上の第1の電極と、該電極上にPIN接合を少なくとも1つ有する非単結晶半導体と、該半導体上の第2の電極とが設けられた半導体装置において、前記第1または第2の透光性電極の形成の前または後工程において、500nm以下の波長の光を照射することにより前記電極と前記半導体との界面またはその近傍の半導体の結晶化を促進せしめることを特徴とする半導体装置の作製方法。

2. 特許請求の範囲第1項において、光の照射される基板は室温または特に加熱手段を設けずに光アニールを行うことを特徴とする半導体装置の作製方法。

3. 特許請求の範囲第1項において、光照射は超高真空水銀灯によりなされたことを特徴とする半導体装置の作製方法。

## 3. 発明の詳細な説明

この発明はPIN接合を少なくとも1つ有する半導体装置の作製方法に関する。

この発明は第1の電極上にPIN接合を水素または元素が添加された非単結晶半導体により形成し、さらに裏面電極(第2の電極)を形成した後、またはこの透光性電極の形成の前に500nm以下の短波長の強光を照射して光アニールを行うことにより電極-半導体界面またはその近傍の半導体の結晶化を促進することを目的としている。

この発明は結晶化促進領域(以下光アニールにより多結晶化または単結晶化をさせた領域即ち多結晶化領域という)をPIまたはNI接合界面よりも1層の内部にわたって設けることにより、伝導型の接合界面即ちPI接合またはNI接合の界面(以下接合界面という)と結晶学的なホモロジ-的な界面(以下結晶界面という)とを異ならしめ、電気伝導に最も敏感な接合界面においてホモロジ-的に同一結晶とし、この接合界面近傍での再結合中心の密度を減少せしめたことを特徴とする。

この発明は1層内部においてアモルファスを含む結晶化度の低い非晶結晶半導体の大きい光吸収特性により光電変換をせしめるとともに、PI接合またはNI接合（それぞれ双方の接合を含む）の接合界面またはその近傍においては多結晶化領域を設けることにより、この界面でのミスフィットを減少せしめ、この接合界面でのキャリアの再結合中心を減少させたものである。

さらに特に光が入射される側のPまたはN型半導体層および入射光の裏面電極で反射する側のNまたはP型の半導体層それぞれ自体の光吸収係数を減少させることにより、ここでの光損失を少なくすることを他の特徴としている。

この発明はかかる光アニールにより多結晶化を促すため、半導体中において一般にアモルファス化剤として知られている酸素または窒素を結晶界面またはその内部のアモルファスまたは低度の結晶化領域において $5 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度としたことを他の特徴としている。

$\text{SiH}_4 = 1\%$  (P型半導体形成用) (34)、 $\text{Si}_2\text{Cl}_6$  形成用にメチルシラン例えば $\text{CH}_3\text{Si}(\text{CH}_3)_2$  (35)、N型半導体用シランで希釈したフォスヒン ( $\text{PH}_3$  /  $\text{SiH}_4 = 1\%$ ) (36)、水素またはヘリウム（ページ用) (37) を有している。これらを用いてPIN接合を有する半導体にそれぞれの層に必要な反応性気体を導入した。

排気系 (22) はコントロールバルブ (30)、ターボ分子ポンプ (27)、ストップバルブ (33)、真空ポンプ (28) を経て排気させた。反応炉内の圧力は初期状態で $1 \times 10^{-7} \text{ torr}$ 、さらに反応時はコントロールバルブ (30) により $0.001 \sim 10 \text{ torr}$  代表的には $0.05 \sim 0.2 \text{ torr}$  に調整した。

さらに本発明方法における $500 \text{ nm}$ 以下の波長（一般には $200 \sim 450 \text{ nm}$ ）を発光する光アニール装置の概要を第2図に示す。

被照射基板 (60) は第2図に示す(A)(B)であって、かつ電極（第2図(A)における電極(9)および(B)における電極(2)の透光性電極）を形成した後または形成する前の構造をこ

以下に図面に従って本発明の実施例を示す。

第1図は本発明の半導体装置の作製に用いられた製造装置の概要を示す。

図面において、反応系 (20) (有効反応空間 (25)  $50 \text{ cm} \times 50 \text{ cm} \times 30 \text{ cm}$ ) に対し、面横方向および前後方向からのハロゲンヒータによる加熱炉 (29)、基板 (1)(1') を（図面では10枚を示す）20枚裏面に接して $5 \text{ cm}$  ( $\pm 0.5 \text{ cm}$  以内)の等間隔に配設した。一対をなす対称型の電極 (24)(24')、中央よりチューニングをとったマッチングトランス (31)、高周波発振器 (32) (例えば $13.56 \text{ MHz}$ )、さらに反応空間 (25) 中のプラズマ放電を閉じ込めるため、上方、下方には石英フード (23)(23') と側面辺にも矩形に取り囲んだ石英ホルダ (26)(26') を設けており、プラズマから見てその外側の空間のすべてが絶縁物により取り囲まれている対称型のプラズマ閉じ込め型空間とした。

ドーピング系 (21) はシラン ( $\text{SiH}_4$ 、例えば $\text{SiH}_4$ ,  $\text{Si}_2\text{Cl}_6$ ) (32)、シランで希釈されたジボラン  $\text{B}_2\text{H}_6$  /  $\text{SiH}_4$ 、20PPM (33) (1層中和用)、及び $\text{B}_2\text{H}_6$

の第2図の光アニール装置における対象基板として用いた。

光源は棒状の超高圧水銀灯、出力 $500 \text{ W}$ 以上（発光波長 $200 \text{ nm} \sim 650 \text{ nm}$ ）を用いた。特にここでは東芝製超高真空水銀灯 (KH-50、出力 $5 \text{ kW}$ ) を用いた。即ち電源 (50) は一次電圧 $AC200 \text{ V}$ 、 $30 \text{ A}$ および二次電圧 (52)  $AC4200 \text{ V}$ 、 $1.1 \sim 1.6 \text{ A}$ とした。さらに水銀灯の発熱を押さえるためおよび基板の発熱による熱アニールの発生を防ぐため、水銀灯の外側を水冷 (51)(51')より供給した。

水銀灯 (54) は $300 \sim 450 \text{ nm}$ の短波長光を発生すると同時に、長波長の $500 \text{ nm}$ 以上の波長の光をフィルタ (59) にてカットし石英レンズ (55) にて集光した。

この水銀灯は長さ $20 \text{ cm}$ の棒状を有し、レンズもシリンドリカルレンズを用いた。さらにシャッタ (56) を十分集光する前またはレンズと水銀灯との間に配設した。

かくして集光された棒状紫外光は巾 $100 \mu \sim 2 \text{ mm}$ を有し、長さ $18 \text{ cm}$ を有していた。そのエネルギー

度は約 $5\text{KW}/\text{cm}^2$  (巾 $1\text{mm}$ の場合)となった。

この照射光 (57) を被照射面に集光し焦点を合わせXテーブル (61) 上にて一定速度の移動をさせた。

かくすると、 $300 \sim 450\text{nm}$ を中心とする紫外光は非単結晶半導体中には $1000\text{\AA}$ 以下の厚さで殆ど吸収されてしまい、この表面よりごく薄い領域を結晶化させることができた。加えてこの本発明方法のアニールは光アニールのため、既に含有する水素またはハロゲン元素を脱気することがない。加えて結晶性を光アニールにより促進するため、光学的 $\epsilon_2$ を小さくすることなく、かつ結晶化によりその光吸収係数を小さくすることができるという二重の特長を有していた。

しかしこのことは活性領域であるI層の内部を光吸収が大きい即ちアモルファスまたは低度の結晶性を有する状態に保持し、いわゆる多結晶化してはならず、逆にPまたはN型またはそれに加えてその近傍のI層を選択的に光吸収係数を少なくし、加えて再結合中心を少なくさせるための多結

晶化をさせることが重要である。このことより短波長光での半導体表面近傍のみの選択的光アニールが重要であることが判明された。

かくのごとくにして第3図に示す光電変換装置を作製した。即ち第1図の装置を用いて、第3図(A)に示すごとく、ガラス基板(1)上に酸化スズの表面を有する透明導電膜(2)、さらに $\text{Si}_x\text{C}_{1-x}$  ( $0 < x < 1$ )のP型半導体(ここでは $\text{Si}_x\text{C}_{1-x}$   $x=0.3$ )を用いた(3) ( $100 \sim 200\text{\AA}$ )、I型半導体(4) ( $0.5 \sim 1.2\text{\AA}$ )、N型微結晶または多結晶化した水素化珪素半導体(5) ( $200 \sim 500\text{\AA}$ )、透光性導電膜(CTF)(6)および反射性電極(7)よりなる素面電極を設けた。

第3図(B)はステンレス基板(11)上に耐熱性樹脂膜(12)よりなる絶縁表面を有する基板(可曲性も可)(1)、反射性電極(7)一般にはクロムを主成分とするCTF(6)、N型半導体(5)、I型半導体(4)、P型半導体(3)、CTF(2)よりなる。

特にこれらの半導体におけるI型半導体の形成

に関し、本発明の実施例においては、第1図に示すごときプラズマCVD装置またはこれを発展させた3室式のマルチチャンバCVD装置を用いて、酸素、窒素の不純物の混入を防ぐとともに、形成の条件としてはその作製時に $0.1 \sim 50\text{PPM}$ の濃度に水素を添加している。

以下にさらにその具体例に基づく本発明を記す。  
具体例1

ガラス基板上CTFをITOおよび酸化スズによりテクスチャ構造を有して厚さ $1000 \sim 2000\text{\AA}$ に配した。さらにその上に第1図のPCVD装置によりP型 $\text{Si}_x\text{C}_{1-x}$  (平均厚さ $20\text{\AA}$ )—I型アモルファスおよび低い結晶化度の珪素(平均厚さ $0.8\text{\AA}$ )—N型微結晶珪素(平均厚さ $500\text{\AA}$ )を積層した。

この後第2図に示す光アニール装置により移動速度 $10\text{cm}/\text{分}$ で $10\text{cm} \times 10\text{cm}$ の基板上的被形成面を移動させて光アニールを行った。基板温度は室温である。この移動を基板側または裏面側から行った。

さらにこの表面を $1/10\text{MP}$ 中に約1分間浸漬し

N型多結晶半導体層上の低級酸化物を除去した。さらにITO(6)平均厚さ $1050\text{\AA}$ 、反射性電極のアルミニウムまたはクロムを主成分とする金属(7)を形成した。

かかる後、この表面を $150^\circ\text{C}$ で、60分の熱処理を行った。

かかる第3図(A)の構造において、基板側より照射した光は基板、CTFに大部分吸収されるため、さらにP型半導体層は $\text{Si}_x\text{C}_{1-x}$ であるため、このP型半導体を多結晶化できない。しかしPI界面のI層の一部が(その厚さは $200\text{\AA}$ 以下と推定される)多結晶化していた。

他方、裏面電極領域は半導体(5)が露呈しており、かつこの半導体が $50 \sim 200\text{\AA}$ の平均結晶粒径(ラマン分光法にてシェラーの式より導出)であるため、これが結晶化の核になりやすく、N型半導体(5)またはその近傍のI型半導体層(43)が多結晶化し、レーザラマン分光より結晶の粒径は $300 \sim 500\text{\AA}$ を有し、かつその多結晶(4)—アモルファス(42)結晶界面はNI接合界

面よりも1層内部に存在していることが判明した。

かくのごとくにして $10\text{cm} \times 10\text{cm}$ の基板内に設けられた $1.05\text{cd}$  ( $3.4\text{mA} \times 3\text{cm}$ ) の面積で、 $12.3\%$  (開放電圧 $0.92\text{V}$ 、曲線因子 $65.2\%$ 、短絡電流 $20.2\text{mA}/\text{cm}$ ) を得ることができた。

これを本発明方法のレーザアニールを行わずに同一基板ですると $10.2\%$  (開放電圧 $0.84\text{V}$ 、曲線因子 $62.7\%$ 、短絡電流 $19.4\text{mA}/\text{cm}$ ) であり、約 $2\%$ もその特性の向上をはかることができることが判明した。

#### 具体例2

この具体例は第3図(B)の構造を有したものである。

即ちステンレス薄(1)上の耐熱性有機樹脂(12)(ポリイミド樹脂)、反射性金属(7)(クロムを主成分とする電極、約 $1200\text{Å}$ )、ITO(6)(平均厚さ $1050\text{Å}$ )、微結晶化したN型半導体(平均 $200\text{Å}$ )、ホウ素が $5 \times 10^{17}\text{cm}^{-3}$ 添加されたI型非晶結晶半導体(4)、水素が注入された微結晶化したN型珪素(平均 $200\text{Å}$ の厚さ)、さらに $\text{Si}x\text{C}_{1-x}$ (平均

$50\text{Å}$ の厚さ)(3)を第3図のPCVD装置により形成した。

この後、第2図の装置を用いて光アニール処理をP型半導体層に対し行った。するとこの微結晶化したP型半導体層およびその下のI型半導体層(43)の領域(45)を多結晶化領域として構成せしめ、さらにこの領域(45)の下側のI型半導体(42)をアモルファスまたは低度の微結晶の水素を含む珪素半導体として残すことができた。

結晶半導体(43)は約 $800\text{Å}$ の厚さであり、これに光アニールをテーブルの連続移動速度を可変するまたは繰り返し照射を施すことにより深くもまた浅くもすることが可能になった。

かくして得られた半導体を $1/10\text{HP}$ 中に浸漬して表面の過酸化物を除去し、さらにITOまたは $\text{SnO}_2$ よりなるCTP(2)を $500 \sim 2500\text{Å}$ の厚さに形成した。この結果得られる特性は、室温、AM1( $100\text{mW}/\text{cm}^2$ )の光照射条件下にて変換効率 $11.3\%$  (開放電圧 $0.91\text{V}$ 、曲線因子 $67\%$ 、短絡電流 $18.5\text{mA}/\text{cm}$ )であった。光アニールを行うことなしの

通常のままの構造では $9.6\%$  (開放電圧 $0.87\text{V}$ 、曲線因子 $64\%$ 、短絡電流 $17.2\text{mA}/\text{cm}$ )であり、約 $2\%$ もその変換効率を向上させることができた。

以上の説明において、光アニールは水銀灯ではなくエキシマレーザ(波長 $150 \sim 400\text{nm}$ )を用いてもよい。またI型半導体層中の酸素、炭素、窒素の不純物をそれぞれ $5 \times 10^{18}\text{cm}^{-3}$ 以下、 $4 \times 10^{17}\text{cm}^{-3}$ 、 $5 \times 10^{18}\text{cm}^{-3}$ にさらにすることにより多結晶化を促し、加えて接合界面ではミスフィットを除去するためさらに $1 \sim 3\%$ の変換効率の向上を促すことができることが推測できる。

以上の説明において、PIN接合を1接合を有する光電変換装置を示したが、これを重ねてPINPIN、PIN接合と少なくとも2接合とせしめることも本発明の応用として重要であり、またこれらを絶縁表面を有する基板上に集積化してもよい。

非晶結晶半導体として $\text{Si}x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) またはGeのみをPIN接合が有するI型半導体層に用いることも可能である。

以上の説明においては、PIN接合を1つ有する

光電変換装置を主として説明をした。しかし半導体層がNIまたはPI接合を少なくとも1つ有する即ちN(ソースまたはドレイン)、I(チャネル形成領域)、N(ドレインまたはソース)、PIP接合を有する絶縁ゲート型電界効果半導体装置、またはNI、PIN、PINIP接合を有するバイポーラ型トランジスタにおけるI層に対しても本発明はきわめて有効である。

#### 4. 図面の簡単な説明

第1図は本発明の半導体装置作製用のプラズマ気相反応炉の概要を示す。

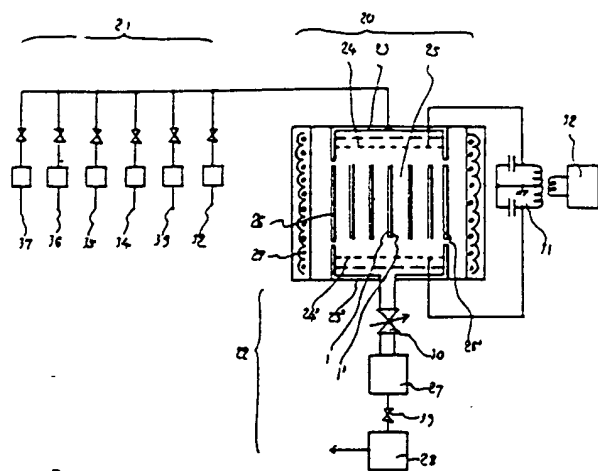
第2図は本発明方法の光アニールを行う装置の概要を示す。

第3図は本発明の光電変換装置の縦断面図を示す。

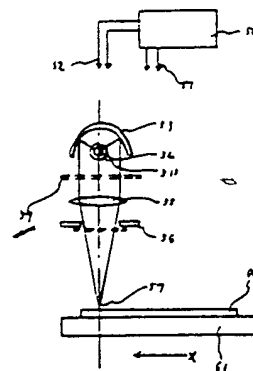
特許出願人

株式会社半導体エネルギー研究所  
代表者 山 崎 義 平

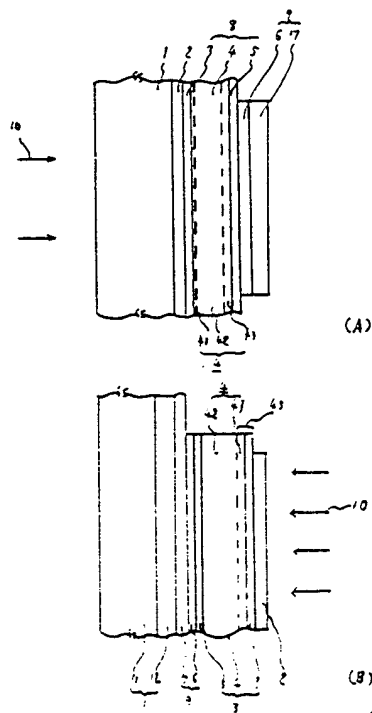




第1図



第2図



第3図

English Translation of Japanese Patent Laid-Open 60-224282

Published: November 8, 1985

Inventor(s): Shunpei Yamazaki

Translated: December 26, 1998

Japanese Laid-open Patent

Laid-open No: Sho 60-224282

Laid-open Date: November 8, 1985

Application No: Sho 59-79622

Filing Date: April 20, 1984

Applicant: Semiconductor Energy Laboratory Co., Ltd.

## SPECIFICATION

### 1. TITLE OF THE INVENTION

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

### 2. SCOPE OF PATENT CLAIMS

1. A method of manufacturing a semiconductor device including a substrate or a first electrode on the substrate; a non-single crystal semiconductor having at least one PIN junction on the said electrode; and a second electrode on the said semiconductor, characterized in that in a process before or after the said first or second translucent electrode is formed, the crystallization of an interface between the said electrodes and the said semiconductor, or the crystallization of the semiconductor in the vicinity of the interface is promoted by irradiation of a light 500 nm or less in wavelength.

2. A method of manufacturing a semiconductor device as claimed in claim 1, characterized in that the substrate to which a light is irradiated is light-annealed at a room temperature or particularly without providing heating means.

3. A method of manufacturing a semiconductor device as claimed in claim 1, characterized in that the irradiation of light is made by an ultra-high vacuum mercury lamp.

### 3. DETAILED DESCRIPTION OF THE INVENTION

The present invention relates to a method of manufacturing a semiconductor device having at least one PIN junction.

The present invention has an object of promoting the crystallization of semiconductor on an interface between an electrode and a semiconductor or in the vicinity of the interface by conducting light annealing irradiating an intense light of a short wavelength 500 nm or less after a PIN junction is formed on a first electrode by a non-single crystal semiconductor to which hydrogen or fluorine is added and a back-surface electrode (second electrode) is formed, or before the translucent electrode is formed.

The present invention is characterized in that a crystallization promotion region (hereinafter, referred to as "a region which is poly-crystallized or mono-crystallized by light annealing, that is, a poly-crystallized region") is provided inside of an I-layer from the PI or NI junction interface so that the conductive junction interface, that is, PI junction or NI junction interface (hereinafter referred to as "junction interface") is made different from crystallographically homologous interface (hereinafter referred to as "crystal interface"), and the most sensitive junction interface in electric conduction is regarded as the same crystal homologically, and the density of the re-combination center in the vicinity of the junction interface is reduced.

According to the present invention, photoelectric conversion is made by the large light absorption characteristic of non-single crystal semiconductor which is low in crystallization degree including amorphous inside of the I-layer, and a poly-crystallization region is provided on a junction interface of PI junction or NI junction (including both junctions, respectively) or in the vicinity of the junction interface, whereby mis-fitting is reduced on the interface, and the re-combination center of carriers on the junction interface is reduced.



Further, in particular, the light absorption coefficient of the P or N type semiconductor layer at a side to which a light is inputted and the N or P type semiconductor layer per se at a side where an incident light is reflected by a back-surface electrode is reduced, to thereby reduce light loss in this portion.

The present invention is further characterized in that in order to promote poly-crystallization by light annealing, oxygen or nitrogen which has been generally known as amorphous promoting agent is contained with the appropriate concentration of  $5 \times 10^{18} \text{ cm}^{-3}$  or less, preferably, the concentration of  $1 \times 10^{18} \text{ cm}^{-3}$  or less in an amorphous or low crystallization region on or inside of a crystal interface in semiconductor.

Hereinafter, the embodiments of the present invention will be described with reference to the drawings.

Fig. 1 shows the outline of a manufacturing device used in manufacture of a semiconductor device in accordance with the present invention.

In the figure, to a reaction system (20) (an effective reaction space (25) 60 cm x 60 cm x 30 cm), a heat furnace (29) using a halogen heater from both the lateral directions and the front and back directions, and substrates (1) and (1') are disposed at regular intervals of 6 cm (within  $\pm 0.5$  cm) in contact with 20 back surfaces (10 in the figure). A pair of symmetric electrodes (24) and (24'), a matching transformer (31) tuned from the center, a high-frequency oscillator (32) (for example, 13.56 MHz), and upper and lower silica hoods (23) and (23') and silica holders (26) and (26') surrounding in a rectangle around the side periphery to enclose plasma discharge in the space (25) are provided, so that a symmetric plasma enclosing space where the entire space outside of plasma is surrounded by an insulator is provided.

The doping system (21) includes silane ( $\text{SiH}_{2n+2}$ , for example,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ) (32), diborane diluted with silane  $\text{B}_2\text{H}_6/\text{SiH}_4$ , 20 PPM (33) (for I-layer neutralization), and  $\text{B}_2\text{H}_6/\text{SiH}_4 = 1\%$  (for P type semiconductor formation) (34), methyl silane for  $\text{Si}_x\text{C}_{1-x}$  formation, for example, DMS  $\text{H}_2\text{Si}(\text{CH}_3)_2$  (35), phosphine diluted with silane for N type semiconductor ( $\text{PH}_3/\text{SiH}_4 = 1\%$ ) (36), and hydrogen or helium (for purge) (37). Using these components, reactive gases necessary for the respective layers are introduced to the semiconductor having a PIN junction.

An exhaust system (22) exhausts a gas through a control valve (30), a turbo molecule pump (27), a stop valve (33), and a vacuum pump (28). A pressure within a reaction furnace is  $1 \times 10^{-7}$  torr in an initial state, and controlled at 0.001 to 10 torr, representatively 0.05 to 0.2 torr by the control valve (30) at a reaction time.

Further, the outline of a light annealing device for emitting a light 500 nm or less in wavelength (generally 200 to 450 nm) in the method of the present invention is shown in Fig. 2.

Substrates to be irradiated (60) are indicated by (A) and (B) in Fig. 2, and a structure after or before an electrode (an electrode (9) in Fig. 2(A) and a translucent electrode of the electrode (2) in Fig. 2(B) is formed is used as a subject substrate in the light annealing device shown in Fig. 2.

As a light source, there is used a rod-shaped extra-high pressure mercury lamp having an output of 500 W or more (light emission wavelength 200 to 650 nm). In particular, in this example, a Toshiba-made ultra-vacuum mercury lamp (KHM 50, output 5 KW) is used. That is, a power supply (50) has a primary voltage AC200V, 30A and a secondary voltage (52) AC4200V, 1.1 to 1.6A. Further, in order to suppress heating of the mercury lamp, and in order to prevent the

generation of heat anneal due to heating of the substrate, the outer side of the mercury lamp is supplied from a water cooler (51),(51').

The mercury lamp (54) generates a short-wavelength light of 300 to 450 nm, and cuts a light having a long wavelength of 500 nm or more by a filter (59) and condenses it by a silica lens (55).

The mercury lamp is shaped in a rod 20 cm in length, and a cylindrical lens is used as the lens. Further, a shutter (56) is disposed before the light is sufficiently converged or between the lens and the mercury lamp.

The linear ultraviolet light thus converged has a width of 100  $\mu$  to 2 mm, and a length of 18 cm. The energy density is about 5 KW/cm<sup>3</sup> (in the case where the width is 1 mm).

The irradiation light (57) is converged on a surface to be irradiated and focussed. Then, the light is moved on an Xtable (61) at a given speed.

Doing so, the ultraviolet rays centering 300 to 450 nm is almost absorbed in the non-single crystal semiconductor in the depth of 1000 Å or less, with the result that a very thin region of this surface can be crystallized. In addition, because the annealing according to the method of the present invention is light annealing, there is no case where hydrogen or halogen elements which have been already contained therein are deteriorated. Further, because crystallization is promoted by light annealing, there are double advantages that optical  $E_g$  is not decreased, and that its light absorption coefficient can be reduced.

However, this means that the interior of the I-layer which is an active region is held in a state where light absorption is large, that is, in an amorphous or low-crystal state, so as to prevent so-called polycrystallization. Conversely, it is important that a P or N type layer or an I layer in the vicinity of the layer in addition thereto are selectively

reduced in light absorption coefficient, and in addition, are polycrystallized in order that the density of the re-combination center on the junction interface is reduced. This proves that to selectively light-anneal only a portion near the semiconductor surface by the short-wavelength light is important.

In this manner, a photoelectric conversion device shown in Fig. 3 is manufactured. That is, using the device of Fig. 1, as shown in Fig. 3(A), on a glass substrate (1) is provided a back-surface electrode made up of a transparent conductive film (2) having a tin oxide surface, a P type semiconductor of  $\text{SixCl}_{1-x}$  ( $0 < x < 1$ ) (in this example,  $\text{SixCl}_{1-x}$   $x = 0.3$ ) is used (3) (100 to 200 Å), I type semiconductor (4) (0.5 to 1.2  $\mu$ ), N type micro-crystal or poly-crystallized silicon hydride semiconductor (5) (200 to 500 Å), a translucent conductive film (CTF) (6) and a reflective electrode (7).

Fig. 3(B) shows a substrate (1) having an insulating surface formed of a heat-resistant resin film (12) on a stainless substrate (11) (may be flexible), a reflective electrode (7), a CTF (6) generally mainly containing chromium, N type semiconductor (5), an I type semiconductor (4), P type semiconductor (3) and a CTF (2).

In particular, in formation of the I type semiconductor in those semiconductors, according to this embodiment of the present invention, using a plasma CVD device or a three-chamber type multi-chamber CVD device obtained by developing the plasma CVD device as shown in Fig. 1, the contamination by impurities of oxygen and nitrogen is prevented, and boron is added with the concentration of 0.1 to 50 ppm at the manufacture of the semiconductor as the formation condition.

Hereinafter, the present invention will be further described with reference to the specific examples.

### Specific Example 1

A CTF on a glass substrate has a texture structure and the thickness of 1000 to 2000 Å by ITO and tin oxide. Further, on the CTF are formed P type  $\text{Si}_x\text{C}_{1-x}$  (20 Å in average thickness) - I type amorphous and low crystallization silicon ( $0.8\ \mu$  in average thickness) - N type fine-crystal silicon by the PCVD device shown in Fig. 1.

Thereafter, a surface to be formed on the substrate 10 cm x 10 cm is moved at the moving speed of 10 cm/min to conduct light annealing by the light annealing device shown in Fig. 2. The substrate temperature is a room temperature. The movement is conducted from the substrate side or the back surface side.

In addition, the surface is immersed in 1/10 HF for about 1 minute to remove the low-grade oxide on the N type poly-crystal semiconductor layer.

Further, an ITO (6) 1050 Å in average thickness and a metal (7) mainly containing aluminum or chromium of the reflective electrode are formed.

Thereafter, the surface is heated at 150°C for 60 minutes.

In the structure of Fig. 3(A), because a light irradiated from the substrate side is most absorbed by the substrate and CTF, and also because the P type semiconductor layer is  $\text{Si}_x\text{C}_{1-x}$ , the P type semiconductor cannot be poly-crystallized. However, a part of the I layer on the PI interface is poly-crystallized (It is presumed that its thickness is 200 Å or less.).

On the other hand, because in the back-surface electrode region, the semiconductor (5) is exposed, and the semiconductor is 50 to 200 Å in average crystal grain diameter (led from the Shellar's expression by the Raman spectroscopic method), it is proved that this is liable to be a core of crystallization, and the N type semiconductor (5) or

the N type semiconductor (43) layer in the vicinity of the N type semiconductor are polycrystallized to have a crystal grain diameter of 300 to 500 Å according to the Raman spectroscopic method, and the crystal interface between the polycrystal (4) and the amorphous (42) exists in the interior of the I layer rather than the NI junction interface.

The area of 1.05 cm<sup>2</sup> (3.4 mm x 3 cm) provided thus within the substrate of 10 cm x 10 cm enables 12.3% (open voltage 0.92 V, a curve factor 65.2%, a short-circuiting current 20.2 mA/cm<sup>2</sup>) to be obtained.

If this is made on the same substrate without laser annealing of the method according to the present invention, 10.2% (open voltage 0.84V, a curve factor 62.7%, a short-circuiting current 19.4 mA/cm<sup>2</sup>) is obtained, and it is proved that the characteristic can be improved by about 2%.

#### Specific Example 2

This specific example has the structure shown in Fig. 3(B).

That is, a heat-resistant organic resin (12) (polyimide resin) on the stainless foil (1), a reflective metal (7) (an electrode mainly containing chromium, about 1200 Å), ITO (6) (1050 Å in average thickness), micro-crystallized N type semiconductor (200 Å in average), I type non-single crystal semiconductor (4) to which boron  $5 \times 10^{17} \text{ cm}^{-3}$  is added, micro-crystallized N type silicon to which hydrogen is injected (200 Å in average), and Si<sub>x</sub>C<sub>1-x</sub> (50 Å in average thickness) (3) are formed by the PCVD device shown in Fig. 3.

Thereafter, the light annealing processing is conducted on the P type semiconductor layer using the device shown in Fig. 2. As a result, the micro-crystallized P type semiconductor layer and the region (45) of the I type semiconductor layer (43) under the P type semiconductor layer are structured as a poly-crystallized region, and the

I type semiconductor under the region (45) can remain as silicon semiconductor containing hydrogen of amorphous or low microcrystal.

The crystal semiconductor (43) has the thickness of about 800 Å and can be made deeper or shallower by varying the continuous moving speed of the table or repeatedly conducting light annealing.

The semiconductor thus obtained is immersed in 1/10 HF to remove the insulation oxide of the surface, and CTF (2) made of ITO or SnO<sub>4</sub> is formed in the thickness of 500 to 2500 Å. As a result, the characteristic obtained as this result is conversion efficiency 11.3% (open voltage 0.91 V, curve factor 67%, short-circuiting current 18.5 mA/cm<sup>2</sup>) under the light irradiation condition at a room temperature and AM1 (100 mW/cm<sup>2</sup>). In the normal structure without conducting light annealing, the conversion efficiency is 9.6% (open voltage 0.87 V, curve factor 64%, short-circuiting current 17.2 mA/cm<sup>2</sup>). Thus, the conversion efficiency can be improved by about 2%.

In the above description, light annealing may be conducted through not a mercury lamp but an excimer laser with 150 to 400 nm in wavelength. Also, if the impurities of oxygen, carbon and nitrogen in the i-type semiconductor layer are further set as  $5 \times 10^{18} \text{ cm}^{-3}$  or less,  $4 \times 10^{17} \text{ cm}^{-3}$ , and  $5 \times 10^{18} \text{ cm}^{-3}$ , poly-crystallization is promoted, and in addition, in order to remove miss-fitting on the junction interface, it can be presumed that an improvement in the conversion efficiency by 1 to 3% can be promoted.

The above description is given of the photoelectric conversion device having one PIN junction. However, it is important to superimpose the photoelectric conversion device to provide at least two junctions such as PIN-PIN ... PIN junction as the application of the present invention, and also they may be integrated on a substrate having an insulation surface.

As the non-single crystal semiconductor, only  $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) or Ge may be used in the I type semiconductor layer having the PIN junction.

In the above description, the photoelectric conversion device having one PIN junction is mainly described. However, the present invention is also extremely effective to an insulated gate field effect semiconductor device in which the semiconductor layer has at least one NI or PI junction, that is, having N (source or drain), I (channel formation region), N (drain or source), PIP junction, or the I layer in a bipolar transistor having NIPIN, PINIP junctions.

#### 4.- BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 shows the outline of a plasma gas-phase reaction furnace for manufacturing a semiconductor device in accordance with the present invention.

Fig. 2 shows the outline of a device for conducting light annealing in accordance with the method of the present invention.

Fig. 3 shows a vertical cross-sectional view of a photoelectric conversion device in accordance with the present invention.